

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332733

(43)Date of publication of application : 30.11.2000

(51)Int.Cl. H04L 7/02

(21)Application number : 2000-069108 (71)Applicant : NEC CORP

(22)Date of filing : 13.03.2000 (72)Inventor : AKASE YOJI

(30)Priority

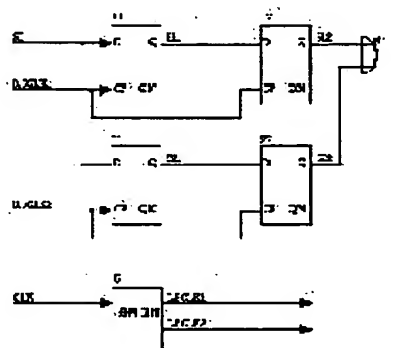
Priority number : 11067447 Priority date : 12.03.1999 Priority country : JP

(54) SYNCHRONIZING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid fetching a metastable state into a flip-flop and to synchronize an asynchronous signal at a high speed by providing multiple combinational circuits composed of frequency-dividing circuits which divide the frequency of a reference clock and flip-flops.

SOLUTION: For example, one clock of a reference clock signal $CLK \leq t_{met} \ll (n) \text{ clocks}$ and $n=2$, where (t_{met}) is the recovery time of a metastable state generated when an asynchronous signal SO is inputted to preceding-stage flip-flops 11 and 21. In this case, a frequency-dividing circuit 5 halves the frequency of the reference clock signal CLK and outputs clock signals $0.5CLK1$ and $0.5CLK2$. The asynchronous signal SO is inputted to the precedent-stage flip-flops 11 and 21 at rising of the clock signals $0.5CLK1$ and $0.5CLK2$. The outputs $S11$ and $S21$ of the flip-flops 11 and 21 are inputted to subsequent-stage flip-flops 12 and 22. Consequently, the outputs $S12$ and $S22$ become stable signals evading the metastable state.



LEGAL STATUS

[Date of request for examination] 13.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3427810

[Date of registration] 16.05.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



620000760000332733

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332733

(P2000-332733A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.⁷

H 0 4 L 7/02

識別記号

F I

H 0 4 L 7/02

テームト* (参考)

Z 5 K 0 4 7

審査請求 有 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2000-69108 (P2000-69108)

(22) 出願日 平成12年3月13日 (2000. 3. 13)

(31) 優先権主張番号 特願平11-67447

(32) 優先日 平成11年3月12日 (1999. 3. 12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 赤瀬 洋二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5K047 AA05 AA12 GG29 GG45 LL02

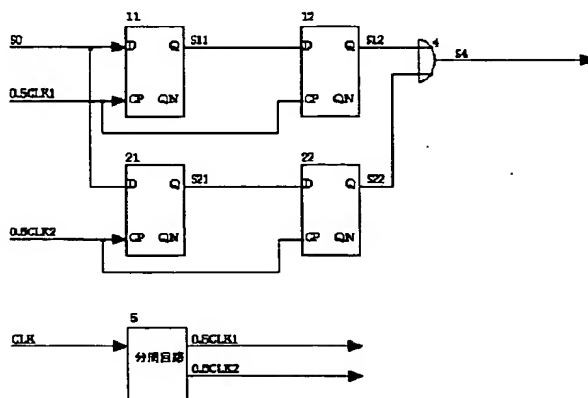
MM28 MM53 MM55

(54) 【発明の名称】 同期化回路

(57) 【要約】

【課題】 本発明は、メタステーブルの状態をフリップフロップに取込むのを回避し、かつ非同期信号を高速に同期化する同期回路を提供することを目的とする。

【解決手段】 基準クロックを $1/n$ の割合で分周する分周回路と、少なくとも2つ以上のフリップフロップにより構成される、複数の組み合わせ回路を備えた同期回路であって、前記分周回路は、互いに $360/n$ 度だけ位相ずれた n 通りのクロック信号を出力するものであり、前記組み合わせ回路は、 n だけ備わり、それぞれが前記分周回路が出力する互いに位相ずれた n 通りの前記クロック信号を別々に受信し、受信した該クロック信号に応じて非同期信号を同期化するものであり、前記複数の組み合わせ回路がそれぞれ出力する同期化された信号の論理和を算出する演算回路を備えることを特徴とする同期回路。



1

【特許請求の範囲】

【請求項 1】 基準クロックを $1/n$ の割合で分周する分周回路と、少なくとも $2n$ 以上のフリップフロップにより構成される、複数の組み合わせ回路を備えた同期化回路であって、

前記分周回路は、互いに $360/n$ 度だけ位相ずれした n 通りのクロック信号を出力するものであり、

前記組み合わせ回路は、 n だけ備わり、それぞれが前記分周回路が出力する互いに位相ずれした n 通りの前記クロック信号を別々に受信し、受信した該クロック信号に応じて非同期信号を同期化するものであり、

前記複数の組み合わせ回路がそれぞれ出力する同期化された信号の論理和を算出する演算回路を備えることを特徴とする同期化回路。

【請求項 2】 前記複数の組み合わせ回路は、そのそれぞれが、受信した前記クロック信号に応じて非同期信号を取込む最前段フリップフロップと、前記最前段フリップフロップに直列に接続され、前記クロック信号に応じて、前段のフリップフロップが出力する出力信号を取込む後続フリップフロップとを備えることを特徴とする請求項 1 記載の同期化回路。

【請求項 3】 前記分周回路は、基準クロックを $1/2$ の割合で分周し、 180 度位相の異なる第 1 クロック信号および、第 2 クロック信号を出力するものであり、前記複数の組み合わせ回路は、

前記分周回路が出力する前記第 1 クロック信号に応じて非同期信号を取込む前記最前段フリップフロップと、該最前段フリップフロップに直列に接続され、前記分周回路が出力する前記第 1 クロック信号に応じて、前段のフリップフロップが出力する出力信号を取込む後続フリップフロップを備える第 1 組み合わせ回路および、前記分周回路が出力する前記第 2 クロック信号に応じて非同期信号を取込む前記最前段フリップフロップと、該最前段フリップフロップに直列に接続され、前記分周回路が出力する前記第 2 クロック信号に応じて、前段のフリップフロップが出力する出力信号を取込む後続フリップフロップを備える第 2 組み合わせ回路を備えるものであることを特徴とする請求項 1 または 2 に記載の同期化回路。

【請求項 4】 前記分周回路は、基準クロックを $1/2$ の割合で分周し、 180 度位相の異なる第 1 クロック信号および、第 2 クロック信号を出力するものであり、前記複数の組み合わせ回路は、前記分周回路が出力する前記第 1 クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、非同期信号を取込む前記最前段ゲート付きフリップフロップと、該最前段ゲート付きフリップフロップに直列に接続され、前記分周回路が出力する前記第 1 クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、前段のゲート付きフリップフロップが出力する出力信号を、取込む後続ゲート付きフリップフロップを備える第 1 組み合わせ

2

回路および、

前記分周回路が出力する前記第 2 クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、非同期信号を取込む前記最前段ゲート付きフリップフロップと、該最前段ゲート付きフリップフロップに直列に接続され、前記分周回路が出力する前記第 2 クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、前段のゲート付きフリップフロップが出力する出力信号を、取込む後続ゲート付きフリップフロップを備える第 2 組み合わせ回路を備えるものであることを特徴とする請求項 1 または 2 に記載の一相同期化回路。

【請求項 5】 前記演算回路は、前記第 1 組み合わせ回路および前記第 2 組み合わせ回路が出力する同期化された信号を、それぞれ受信するための 2 つの入力をもつオアゲートまたはアンドゲートであることを特徴とする請求項 3 および 4 記載の同期化回路。

【請求項 6】 後続フリップフロップまたは後続ゲート付きフリップフロップは 1 段であることを特徴とする請求項 2 ～ 5 のいずれかに記載の同期化回路。

【請求項 7】 請求項 1 ～ 6 のいずれかに記載の同期化回路を備えたカウンタ。

【請求項 8】 請求項 1 ～ 6 のいずれかに記載の同期化回路を備えた IC。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に直列に接続されたフリップフロップを備える同期化回路に属する。

【0002】

【従来の技術】従来、特開平 10-135938 号公報に示すように、非同期信号を同期化する場合、フリップフロップを 2 段直列に接続し、それぞれのフリップフロップのクロックを共通に接続している。しかしこの場合、前段のフリップフロップのクロック信号と後段のフリップフロップのクロック信号との間の 1 クロックで、メタステーブル状態が回復することを前提として、フリップフロップの直列 2 段接続の構成としていた。その為、メタステーブル状態が 1 クロック以上続く場合、周期を長くする必要がある為、クロックの周波数を下げなければならない。ここで、メタステーブル状態とは、フリップフロップのデータに対するセットアップ時間およびホールド時間が経過する前にクロックが立上がった、または立下がった場合に起きるもので、フリップフロップの出力が、ハイレベルまたはロウレベル、またはハイレベルでもロウレベルでもない不安定な状態になることである。

【0003】メタステーブル状態の回復時間 t_{met} が、 $1 \text{ クロック} \leq t_{met} < 2 \text{ クロック}$ の場合の、従来の同期化回路の回路図を図 12 に示す。図 12 おいて、従来の同期化回路は、基準クロック信号 CLK を $1/2$

30

40

50

3

分周し、クロック信号0. 5CLK1を出力する分周回路5xと、非同期信号S0を、クロック信号0. 5CLK1の立上がりで、取込む前段のフリップフロップ11xと、前段のフリップフロップ11xの出力S11xを、クロック信号0. 5CLK1の立上がりで取込む後段のフリップフロップ12xとを具備する。後段のフリップフロップ12xの出力S12xが、同期化した信号である。

【0004】図12に示した従来の回路のタイムチャートを、図13に示す。論理は正論理とする。非同期信号S0が、クロック信号0. 5CLK1の立上がりと同時にHに変化すると、クロック信号0. 5CLK1の立上がりで、変化時の非同期信号S0を取込む前段のフリップフロップ11xの出力S11xに、メタステーブル状態が発生する。

【0005】このとき次のクロック信号0. 5CLK1の立上がりで、前段のフリップフロップ11xの出力S11xを、取込む後段のフリップフロップ12xの出力S12xは、メタステーブル状態の回復時間 t_{met} 以上の2クロック後であるので、前段のフリップフロップ11xの出力S11xは安定しており、出力S11xがHに安定しているならば、フリップフロップ12xの出力S12xはHとなる。このように、従来の同期化回路は非同期信号S0のクロック信号0. 5CLK1に対する時間的変動の2クロックを加え、 $(2+2)$ クロックで非同期信号S0の前縁を同期化して、同期信号S12xの前縁を作成する。

【0006】メタステーブル状態回復後のフリップフロップの出力にはH（アクティブ状態）とL（ノンアクティブ状態）の場合がある。前段のフリップフロップ11xの出力S11xがLならば、後段のフリップフロップ12xの出力S12xは、Lとなり、この場合、更に、2クロック後（合計4クロック後）のクロック信号0. 5CLK1の立上がりで、後段のフリップフロップ12xの出力S12xは、Hとなる。つまり、このようなフリップフロップは、非同期信号S0のクロック信号0. 5CLK1に対する、時間的変動の2クロックを加え、 $(2+4)$ クロックで、非同期信号S0の前縁を同期化して、同期信号S12xの前縁を作成するものであり、非同期信号の同期化に、 $(2+n)$ クロック～ $(2+2n)$ クロックを必要とする。

【0007】

【発明が解決しようとする課題】従来技術には以下に掲げる問題点があった。非同期信号の同期化に、 $(2+n)$ クロック～ $(2+2n)$ クロックを必要とする。ここで、nは分周回路の分周比率であり、 n クロック $> t_{met}$ である。

【0008】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、メタステーブルの状態をフリップフロップに取込むのを回避し、かつ非同

4

期信号を高速に同期化する同期化回路を提供する点にある。

【0009】

【課題を解決するための手段】本発明は上記課題を解決すべく、以下に掲げる構成とした。請求項1記載の発明の要旨は、基準クロックを $1/n$ の割合で分周する分周回路と、少なくとも $2n$ 以上のフリップフロップにより構成される、複数の組み合わせ回路を備えた同期化回路であって、前記分周回路は、互いに $360/n$ 度だけ位相ずれた n 通りのクロック信号を出力するものであり、前記組み合わせ回路は、 n だけ備わり、それぞれが前記分周回路が出力する互いに位相ずれた n 通りの前記クロック信号を別々に受信し、受信した該クロック信号に応じて非同期信号を同期化するものであり、前記複数の組み合わせ回路がそれぞれ出力する同期化された信号の論理和を算出する演算回路を備えることを特徴とする同期化回路に存する。請求項2記載の発明の要旨は、前記複数の組み合わせ回路は、そのそれぞれが、受信した前記クロック信号に応じて非同期信号を取込む最前段フリップフロップと、前記最前段フリップフロップに直列に接続され、前記クロック信号に応じて、前段のフリップフロップが出力する出力信号を取込む後続フリップフロップとを備えることを特徴とする請求項1記載の同期化回路に存する。請求項3記載の発明の要旨は、前記分周回路は、基準クロックを $1/2$ の割合で分周し、 180 度位相の異なる第1クロック信号および、第2クロック信号を出力するものであり、前記複数の組み合わせ回路は、前記分周回路が出力する前記第1クロック信号に応じて非同期信号を取込む前記最前段フリップフロップと、該最前段フリップフロップに直列に接続され、前記分周回路が出力する前記第1クロック信号に応じて、前段のフリップフロップが出力する出力信号を取込む後続フリップフロップを備える第1組み合わせ回路および、前記分周回路が出力する前記第2クロック信号に応じて非同期信号を取込む前記最前段フリップフロップと、該最前段フリップフロップに直列に接続され、前記分周回路が出力する前記第2クロック信号に応じて、前段のフリップフロップが出力する出力信号を取込む後続フリップフロップを備える第2組み合わせ回路を備えるものであることを特徴とする請求項1または2に記載の同期化回路に存する。請求項4記載の発明の要旨は、前記分周回路は、基準クロックを $1/2$ の割合で分周し、 180 度位相の異なる第1クロック信号および、第2クロック信号を出力するものであり、前記複数の組み合わせ回路は、前記分周回路が出力する前記第1クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、非同期信号を取込む前記最前段ゲート付きフリップフロップと、該最前段ゲート付きフリップフロップに直列に接続され、前記分周回路が出力する前記第1クロック信号に応じて、基準クロックの取込みを制御す

5

るゲート手段を備え、前段のゲート付きフリップフロップが出力する出力信号を、取込む後続ゲート付きフリップフロップを備える第1組み合わせ回路および、前記分周回路が出力する前記第2クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、非同期信号を取込む前記最前段ゲート付きフリップフロップと、該最前段ゲート付きフリップフロップに直列に接続され、前記分周回路が出力する前記第2クロック信号に応じて、基準クロックの取込みを制御するゲート手段を備え、前段のゲート付きフリップフロップが出力する出力信号を、取込む後続ゲート付きフリップフロップを備える第2組み合わせ回路を備えるものであることを特徴とする請求項1または2に記載の一相同期化回路に存する。請求項5記載の発明の要旨は、前記演算回路は、前記第1組み合わせ回路および前記第2組み合わせ回路が出力する同期化された信号を、それぞれ受信するための2つの入力をもつオアゲートまたはアンドゲートであることを特徴とする請求項3および4記載の同期化回路に存する。請求項6記載の発明の要旨は、後続フリップフロップまたは後続ゲート付きフリップフロップは1段であることを特徴とする請求項2～5のいずれかに記載の同期化回路に存する。請求項7記載の発明の要旨は、請求項1～6のいずれかに記載の同期化回路を備えたカウンタに存する。請求項8記載の発明の要旨は、請求項1～6のいずれかに記載の同期化回路を備えたICに存する。

【0010】

【発明の実施の形態】本発明による同期化回路は、非同期信号をクロック信号でフリップフロップに取込む時に発生するメタステーブル状態の、回復時間 t_{met} が、 $1 \text{クロック} \leq t_{met} < n \text{クロック}$ ($n \geq 2$) の場合、非同期信号を、1クロック毎にクロック信号で前段のフリップフロップに取込み、前段のフリップフロップの出力を、前段のフリップフロップのクロック信号の n クロック後のクロック信号で、後段のフリップフロップに取込む事により、非同期信号のクロック信号に対する時間的変動の1クロックと、メタステーブル状態の回復時間 n クロックとの合計である $(1+n) \sim (1+n+1)$ クロックで、非同期信号を、高速に同期化するものである。

【0011】 $(1+n+1)$ クロックは、メタステーブル状態の回復後の、どちらの値に（アクティブ状態／ノンアクティブ状態）安定するかによる増分である。

【0012】図1に $n=2$ の例を示す。ここで、基準クロック信号CLKを1クロックとする。図1において、分周回路5は、基準クロック信号CLKを $1/2$ 分周し、互いに1クロック分ずれたクロック信号0.5CLK1とクロック信号0.5CLK2を出力する。

【0013】非同期信号S0を、クロック信号0.5CLK1の立上がりで、前段のフリップフロップ11に取

6

込み、更に、1クロックずれたクロック信号0.5CLK2の立上がりで、前段のフリップフロップ21に取込む。

【0014】前段のフリップフロップ11の出力S11を、クロック信号0.5CLK1の立上がりで、後段のフリップフロップ12に、前段のフリップフロップ21の出力S21を、クロック信号0.5CLK2の立上がりで、後段のフリップフロップ22に、それぞれ取込む。

【0015】2入力オアゲート4は、後段のフリップフロップ12の出力S12と、後段のフリップフロップ22の出力S22の論理和であるS4を出力する。

【0016】フリップフロップ11又は、フリップフロップ21で、メタステーブル状態が発生するが、メタステーブル状態の回復時間 t_{met} 以上の、各々2クロック後のクロック信号0.5CLK1の立上がり、クロック信号0.5CLK2の立上がりで、前段の出力S11、前段の出力S21を後段のフリップフロップ12、後段のフリップフロップ22にそれぞれ取込むので、後段の出力S12、後段の出力S22は、メタステーブル状態を回避した安定した信号となる。

【0017】後段の出力S12と後段の出力S22の論理和を、2入力オアゲート4により演算しているので、等価的には、非同期信号S0を、1クロック毎に基準クロック信号CLKの立上がりで、前段のフリップフロップに取込むことになり、非同期信号S0の基準クロック信号CLKに対する時間的変動は、1クロックとなる。

【0018】これにより、 $(1+2) \sim (1+2+1)$ クロックで、非同期信号S0を同期化し、同期信号S4を作成する事が出来る。

【0019】以下、本発明の第1の実施の形態を図面に基いてさらに詳細に説明する。図1に示すように、本実施の形態 ($n=2$ の場合の実施の形態) に係る同期化回路は、基準クロック信号CLKを $1/2$ 分周し、互いに1CLKずれたクロック信号0.5CLK1とクロック信号0.5CLK2を出力する分周回路5と、非同期信号S0を、クロック信号0.5CLK1の立上がりで、取込む前段のフリップフロップ11と、更に、非同期信号S0を、1クロックずれた (180度位相ずれた) クロック信号0.5CLK2の立上がりで、取込む前段のフリップフロップ21と、前段のフリップフロップ11の出力S11を、クロック信号0.5CLK1の立上がりで、取込む後段のフリップフロップ12と、前段のフリップフロップ21の出力S21を、クロック信号0.5CLK2の立上がりで、取込む後段のフリップフロップ22と、後段のフリップフロップ12の出力S12と後段のフリップフロップ22の出力S22の論理和であるS4を、出力する2入力オアゲート4とを具備する。

【0020】基準クロック信号CLKを1クロックとす

7

ると、クロック信号0. 5CLK1とクロック信号0. 5CLK2は、位相差が1クロックであるとともに、メタステーブル状態の回復時間 t_{met} 以上の2クロック周期の、クロック信号である。

【0021】非同期信号S0を、1クロック交互に（位相差1クロック、周期2クロック）、前段のフリップフロップ11と前段のフリップフロップ21に取込む。これにより、等価的には非同期信号S0を、1クロック毎連続的に取込んでいることになる。

【0022】前段のフリップフロップ11のクロック信号と後段のフリップフロップ12のクロック信号との時間差、及び、前段のフリップフロップ21のクロック信号と後段のフリップフロップ22のクロック信号との時間差は、各々、メタステーブル状態の回復時間 t_{met} 以上の2クロックである。これにより、メタステーブル状態に起因する誤動作等の、後段のフリップフロップ12、22への悪影響を回避することができる。

【0023】図1に示す回路において、非同期信号S0が、クロック信号0. 5CLK1の立上がりと同時に、H（アクティブ状態）に変化し、変化時の非同期信号S0を、クロック信号0. 5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、H（アクティブ状態）となった場合のタイムチャートを、図2に示す。論理は正論理とする。非同期信号S0が、クロック信号0. 5CLK1の立上がりと同時に、Hに変化すると、変化時の非同期信号S0を、クロック信号0. 5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生する。一方、クロック信号0. 5CLK1から1クロック遅れた、クロック信号0. 5CLK2の立上がりで、非同期信号S0を、取込む前段のフリップフロップ21の出力S21は、非同期信号S0が安定しているため、Hとなる。

【0024】次のクロック信号0. 5CLK1の立上がりで、前段のフリップフロップ11の出力S11を取込む後段のフリップフロップ12の出力S12は、メタステーブル状態の回復時間 t_{met} 以上の2クロック後であるため、前段のフリップフロップ11の出力S11は安定しており、出力S11がHならば、フリップフロップ12の出力S12はHとなる。

【0025】メタステーブル状態の回復時間 t_{met} 後の前段のフリップフロップ11の出力S11状態は、安定しているが、この安定の状態には、H（アクティブ状態）とL（ノンアクティブ状態）の場合がある。

【0026】ノンアクティブ状態である、前段のフリップフロップ11の出力S11がLならば、後段のフリップフロップ12の出力S12はLとなり、この場合のタイムチャートを図4に示す。この場合、更に、2クロック後（合計4クロック後）のクロック信号0. 5CLK

8

1の立上がりで、後段のフリップフロップ12の出力S12は、Hとなる。後段のフリップフロップ12の出力S12が、4クロック遅れるが、後述の後段のフリップフロップ22の出力S22が、1クロック前にH（アクティブ状態）になるため、同期信号S4は、1クロック速まり、3クロック後にHになる。

【0027】再び図2を参照されたい。次のクロック信号0. 5CLK2の立上がりで、前段のフリップフロップ21の出力S21を取込む後段のフリップフロップ22の出力S22は、前段のフリップフロップ21の出力S21がHであるため、Hとなる。後段のフリップフロップ12の出力S12と後段のフリップフロップ22の出力S22の論理和を演算する2入力オアゲート4の出力である同期信号S4は、1クロック前にHになる。

【0028】非同期信号S0の基準クロック信号CLKに対する、時間的変動の1クロックを加え、 $(1+2) \sim (1+2+1)$ クロックで、非同期信号S0の前縁を同期化して、同期信号S4の前縁を作成する。

【0029】図1に示す回路において、非同期信号S0が、クロック信号0. 5CLK2の立上がりと同時に、H（アクティブ状態）に変化し、変化時の非同期信号S0を、クロック信号0. 5CLK2の立上がりで取込む前段のフリップフロップ21の出力S21に、メタステーブル状態が発生し、メタステーブル状態の回復後、H（アクティブ状態）となった場合のタイムチャートを、図3に示す。論理は正論理とする。非同期信号S0が、クロック信号0. 5CLK2の立上がりと同時に、Hに変化すると、変化時の非同期信号S0を、クロック信号0. 5CLK2の立上がりで取込む前段のフリップフロップ21の出力S21に、メタステーブル状態が発生する。一方、クロック信号0. 5CLK2から1クロック遅れた、クロック信号0. 5CLK1の立上がりで、非同期信号S0を、取込む前段のフリップフロップ11の出力S11は、非同期信号S0が安定しているため、Hとなる。

【0030】次のクロック信号0. 5CLK2の立上がりで、前段のフリップフロップ21の出力S21を取込む後段のフリップフロップ22の出力S22は、メタステーブル状態の回復時間 t_{met} 以上の2クロック後であるため、前段のフリップフロップ21の出力S21は安定しており、前段のフリップフロップ21の出力S21がHならば、後段のフリップフロップ22の出力S22はHとなる。

【0031】メタステーブル状態の回復時間 t_{met} 後の前段のフリップフロップ21の出力S21の状態は安定しているが、その安定状態には、H（アクティブ状態）とL（ノンアクティブ状態）の場合がある。

【0032】ノンアクティブ状態である、前段のフリップフロップ21の出力S21がLならば、後段のフリップフロップ22の出力S22はLとなり、この場合のタ

タイムチャートを図5に示す。この場合、更に、2クロック後（合計4クロック後）のクロック信号0. 5CLK2の立上がりで、後段のフリップフロップ22の出力S22は、Hとなる。後段のフリップフロップ22の出力S22が、4クロック遅れるが、後述の後段のフリップフロップ12の出力S12が、1クロック前にH（アクティブ状態）になるので、同期信号S4は、1クロック速まり、3クロック後にHになる。

【0033】再び図3を参照されたい。次のクロック信号0. 5CLK1の立上がりで、前段のフリップフロップ11の出力S11を取込む後段のフリップフロップ12の出力S12は、前段のフリップフロップ11の出力S11がHであるので、Hとなる。後段のフリップフロップ12の出力S12と後段のフリップフロップ22の出力S22の論理和を演算する2入力オアゲート4の出力である同期信号S4は、1クロック前にHになる。

【0034】非同期信号S0の基準クロック信号CLKに対する、時間的変動の1クロックを加え、 $(1+2) \sim (1+2+1)$ クロックで、非同期信号S0の前縁を同期化して、同期信号S4の前縁を作成する。

【0035】つまり、非同期信号の同期化に、 $(1+n) \sim (1+n+1)$ クロックを必要とする。

【0036】本実施の形態に係る同期化回路は上記の如く構成されているので、以下に掲げる効果を奏する。

【0037】第1の効果は、非同期信号を、高速に、同期化出来る。その理由は、前段のフリップフロップと後段のフリップフロップを、2組並列に設け、非同期信号を、1クロック交互に（位相差1クロック、周期2クロック）、並列に設けた前記2個の前段のフリップフロップに、取込み、並列に設けた前記2個の後段のフリップフロップの出力を、論理和する為である。

【0038】第2の効果は、メタステーブルの状態をフリップフロップに取込むのを、回避出来る。その理由は、前段のフリップフロップのクロック信号と後段のフリップフロップのクロック信号の位相差を、メタステーブル状態の回復時間 t_{met} 以上としている為である。

【0039】本発明の第2の実施の形態は、 $n=3$ とするものであり、図1における分周回路5を変更して、分周回路5aとし、クロック信号0. 5CLK1とクロック信号0. 5CLK2に変わり、基準クロック信号CLKを $1/3$ 分周し、各々1クロックずれたクロック信号0. 33CLK1とクロック信号0. 33CLK2と、加えて、クロック信号0. 33CLK3を出力させ、クロック信号0. 33CLK3の立上がりで、非同期信号S0を、取込む前段のフリップフロップ31と、前段のフリップフロップ31の出力S31を、取込む後段のフリップフロップ32とを追加し、図1に示した2入力オアゲート4を、後段のフリップフロップ12の出力S12と、後段のフリップフロップ22の出力S22と、後段のフリップフロップ32の出力S32との、論理和を

演算する3入力オアゲート4aに変更することにより実現される。図6に、第2の実施の形態を示す回路のブロック図を示す。このように、本発明は、クロックのあらゆる分周態様に対応することが可能である。

【0040】図6に示す回路において、非同期信号S0が、クロック信号0. 33CLK1の立上がりと同時に、H（アクティブ状態）に変化し、変化時の非同期信号S0を、クロック信号0. 33CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、H（アクティブ状態）となった場合のタイムチャートを、図7に示す。論理は正論理とする。非同期信号S0が、クロック信号0. 33CLK1の立上がりと同時に、Hに変化すると、変化時の非同期信号S0を、クロック信号0. 33CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生する。一方、クロック信号0. 33CLK1から1クロック遅れた、クロック信号0. 33CLK2の立上がりで、非同期信号S0を、取込む前段のフリップフロップ21の出力S21は、非同期信号S0が安定しているので、Hとなる。更に、クロック信号0. 33CLK2から1クロック遅れた、クロック信号0. 33CLK3の立上がりで、非同期信号S0を、取込む前段のフリップフロップ31の出力S31は、非同期信号S0が安定しているので、Hとなる。次のクロック信号0. 33CLK1の立上がりで、前段のフリップフロップ11の出力S11を取込む後段のフリップフロップ12の出力S12は、メタステーブル状態の回復時間 t_{met} 以上の3クロック後であるので、前段のフリップフロップ11の出力S11は安定しており、メタステーブル状態の回復後、出力S11がHとなるので、フリップフロップ12の出力S12はHとなる。次のクロック信号0. 33CLK2の立上がりで、前段のフリップフロップ21の出力S21を取込む後段のフリップフロップ22の出力S22は、前段のフリップフロップ21の出力S21がHであるので、Hとなる。更に、次のクロック信号0. 33CLK3の立上がりで、前段のフリップフロップ31の出力S31を取込む後段のフリップフロップ32の出力S32は、前段のフリップフロップ31の出力S31がHであるので、Hとなる。後段のフリップフロップ12の出力S12と、後段のフリップフロップ22の出力S22と、後段のフリップフロップ32の出力S32との論理和を演算する、3入力オアゲート4aの出力である同期信号S4aは、2クロック前にHになる。非同期信号S0の基準クロック信号CLKに対する、時間的変動の1クロックを加え、 $(1+3)$ クロックで、非同期信号S0の前縁を同期化して、同期信号S4aの前縁を作成する。

【0041】本発明の第3の実施の形態は、2入力オアゲート4を、2入力アンドゲート4bに変更することに

11

より実現される。図8に、第2の実施の形態を示す回路のブロック図を示す。

【0042】図8に示す回路において、非同期信号S0の復旧時、非同期信号S0が、クロック信号0.5CLK1の立上がりと同時に、L（ノンアクティブ状態）に変化し、変化時の非同期信号S0を、クロック信号0.5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、L（ノンアクティブ状態）となった場合のタイムチャートを、図9に示す。論理は正論理とする。非同期信号S0が、クロック信号0.5CLK1の立上がりと同時に、Lに変化すると、変化時の非同期信号S0を、クロック信号0.5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生する。一方、クロック信号0.5CLK1から1クロック遅れた、クロック信号0.5CLK2の立上がりで、非同期信号S0を、取込む前段のフリップフロップ21の出力S21は、非同期信号S0が安定しているため、Lとなる。次のクロック信号0.5CLK1の立上がりで、前段のフリップフロップ11の出力S11を取込む後段のフリップフロップ12の出力S12は、メタステーブル状態の回復時間 t_{met} 以上の2クロック後であるため、前段のフリップフロップ11の出力S11は安定しており、メタステーブル状態の回復後、出力S11がLとなるため、フリップフロップ12の出力S12はLとなる。次のクロック信号0.5CLK2の立上がりで、前段のフリップフロップ21の出力S21を取込む後段のフリップフロップ22の出力S22は、前段のフリップフロップ21の出力S21がLであるため、Lとなる。図1における、後段のフリップフロップ12の出力S12と後段のフリップフロップ22の出力S22の論理和を演算する2入力オアゲート4の出力である同期信号S4は、Lになる（図9に示す）。図8において、後段のフリップフロップ12の出力S12と後段のフリップフロップ22の出力S22の論理積を演算する2入力アンドゲート4bの出力である同期信号S4bは、1クロック前にLになる。非同期信号S0の基準クロック信号CLKに対する、時間的変動の1クロックを加え、 $(1+2)$ クロックで、非同期信号S0の後縁を同期化して、同期信号S4bの後縁を作成する。本発明の第3の実施の形態は、非同期信号の後縁を、高速に同期化することが可能である。

【0043】本発明の第4の実施の形態は、フリップフロップを、クロックがデータを取込むのをon、off制御する機能を持つゲート付きフリップフロップに置換え、ゲート付きフリップフロップのクロックとゲートの接続を変更するものであり、前段のフリップフロップ11、21と後段のフリップフロップ12、22をゲート付きフリップフロップに置換え、それぞれ、前段のゲ-

12

ト付きフリップフロップ11g、21gと、後段のゲート付きフリップフロップ12g、22gとし、前段のゲート付きフリップフロップ11g、21gと、後段のゲート付きフリップフロップ12g、22gのクロックを、基準クロック信号CLKに変更し、前段のゲート付きフリップフロップ11gと後段のゲート付きフリップフロップ12gのゲートを、分周回路5の出力するクロック信号0.5CLK1に変更し、前段のゲート付きフリップフロップ21gと後段のゲート付きフリップフロップ22gのゲートを、分周回路5の出力するクロック信号0.5CLK2に変更することにより実現される。図10に、第4の実施の形態を示す回路のブロック図を示す。

【0044】図10に示す回路において、クロック信号0.5CLK1が、前段のゲート付きフリップフロップ11gの基準クロック信号CLKの立上がりによるデータの取込みをonとし、基準クロック信号CLKの立上がりと同時に、非同期信号S0が、H（アクティブ状態）に変化し、変化時の非同期信号S0を、基準クロック信号CLKの立上がりで取込む前段のゲート付きフリップフロップ11gの出力S11gに、メタステーブル状態が発生し、メタステーブル状態の回復後、H（アクティブ状態）となった場合のタイムチャートを、図11に示す。論理は正論理とする。ゲート付きフリップフロップのゲートがHの時、クロックがデータを取込み（データの取込みon）、Lの時、クロックがデータを取込まない（データの取込みoff）とする。クロック信号0.5CLK1がHとなり、前段のゲート付きフリップフロップ11gの基準クロック信号CLKの立上がりによるデータの取込みをonとし、基準クロック信号CLKの立上がりと同時に、非同期信号S0が、H（アクティブ状態）に変化し、変化時の非同期信号S0を、基準クロック信号CLKの立上がりで（この時、クロック信号0.5CLK1はHである）、取込む前段のゲート付きフリップフロップ11gの出力S11gに、メタステーブル状態が発生する。一方、クロック信号0.5CLK1から1クロック遅れて、クロック信号0.5CLK2がHとなり、前段のゲート付きフリップフロップ21gの基準クロック信号CLKの立上がりによるデータの取込みをonとし、基準クロック信号CLKの立上がりで（この時、クロック信号0.5CLK2はHである）、非同期信号S0を、取込む前段のゲート付きフリップフロップ21gの出力S21gは、非同期信号S0が安定しているため、Hとなる。1クロック遅れた次の、クロック信号0.5CLK1がH、かつ、基準クロック信号CLKの立上がりで、前段のゲート付きフリップフロップ11gの出力S11gを取込む後段のゲート付きフリップフロップ12gの出力S12gは、メタステーブル状態の回復時間 t_{met} 以上の2クロック後であるため、前段のゲート付きフリップフロップ11gの

13

出力S11gは安定しており、メタステーブル状態の回復後、出力S11gがHとなるので、後段のゲート付きフリップフロップ12gの出力S12gはHとなる。更に、1クロック遅れた次の、クロック信号0.5CLK2がH、かつ、基準クロック信号CLKの立上がりで、前段のゲート付きフリップフロップ21gの出力S21gを取込む後段のゲート付きフリップフロップ22gの出力S22gは、前段のゲート付きフリップフロップ21gの出力S21gがHであるので、Hとなる。後段のゲート付きフリップフロップ12gの出力S12gと、後段のゲート付きフリップフロップ22gの出力S22gの論理和を演算する2入力オアゲート4の出力である同期信号S4は、1クロック前にHになる。このように、非同期信号S0の基準クロック信号CLKに対する、時間的変動の1クロックを加え、(1+2)クロックで、非同期信号S0の前縁を同期化して、同期信号S4の前縁を作成する。前段のゲート付きフリップフロップ11g、21gと、後段のゲート付きフリップフロップ12g、22gと、分周回路5は、基準クロック信号CLKの立上がりで動作するので、本発明の第4の実施の形態は、一相同期化回路とする事が可能である。更に、クロックがデータを取込むのを、ゲート付きフリップフロップのゲートを、H(on)、L(off)制御して、ゲート付きフリップフロップのクロックを停止する事により、低消費電力化する事が可能である。

【0045】なお、本実施の形態においては、本発明はそれに限定されず、本発明を適用する上で好適な環境に適用することができる。

【0046】また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。

【0047】なお、各図において、同一構成要素には同一符号を付している。

【0048】

【発明の効果】本発明により、メタステーブルの状態をフリップフロップに取込むのを回避し、かつ非同期信号を高速に同期化する同期化回路を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す回路のブロック図である。

【図2】図1に示す回路において、非同期信号S0が、クロック信号0.5CLK1の立上がりと同時に、H(アクティブ状態)に変化し、変化時の非同期信号S0を、クロック信号0.5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、H(アクティブ状態)となった場合のタイムチャートである。

【図3】図1に示す回路において、非同期信号S0が、

14

クロック信号0.5CLK2の立上がりと同時に、H(アクティブ状態)に変化し、変化時の非同期信号S0を、クロック信号0.5CLK2の立上がりで取込む前段のフリップフロップ21の出力S21に、メタステーブル状態が発生し、メタステーブル状態の回復後、H(アクティブ状態)となった場合のタイムチャートである。

【図4】図1に示す回路において、非同期信号S0が、クロック信号0.5CLK1の立上がりと同時に、H(アクティブ状態)に変化し、変化時の非同期信号S0を、クロック信号0.5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、L(ノンアクティブ状態)となった場合のタイムチャートである。

【図5】図1に示す回路において、非同期信号S0が、クロック信号0.5CLK2の立上がりと同時に、H(アクティブ状態)に変化し、変化時の非同期信号S0を、クロック信号0.5CLK2の立上がりで取込む前段のフリップフロップ21の出力S21に、メタステーブル状態が発生し、メタステーブル状態の回復後、L(ノンアクティブ状態)となった場合のタイムチャートである。

【図6】本発明の第2の実施の形態を示す回路のブロック図である。

【図7】図6に示す回路において、非同期信号S0が、クロック信号0.33CLK1の立上がりと同時に、H(アクティブ状態)に変化し、変化時の非同期信号S0を、クロック信号0.33CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、H(アクティブ状態)となった場合のタイムチャートである。

【図8】本発明の第3の実施の形態を示す回路のブロック図である。

【図9】図8に示す回路において、非同期信号S0が、クロック信号0.5CLK1の立上がりと同時に、L(ノンアクティブ状態)に変化し、変化時の非同期信号S0を、クロック信号0.5CLK1の立上がりで取込む前段のフリップフロップ11の出力S11に、メタステーブル状態が発生し、メタステーブル状態の回復後、L(ノンアクティブ状態)となった場合のタイムチャートである。

【図10】本発明の第4の実施の形態を示す回路のブロック図である。

【図11】図10に示す回路において、クロック信号0.5CLK1が、前段のゲート付きフリップフロップ11gの基準クロック信号CLKの立上がりによるデータの取込みをonとし、基準クロック信号CLKの立上がりと同時に、非同期信号S0が、H(アクティブ状

15

態)に変化し、変化時の非同期信号S0を、基準クロック信号CLKの立上がりで取込む前段のゲート付きフリップフロップ11gの出力S11gに、メタステーブル状態が発生し、メタステーブル状態の回復後、H（アクティブ状態）となった場合のタイムチャートである。

【図12】従来の同期化回路の回路のブロック図である。

【図13】図12に示す従来の同期化回路のタイムチャートである。

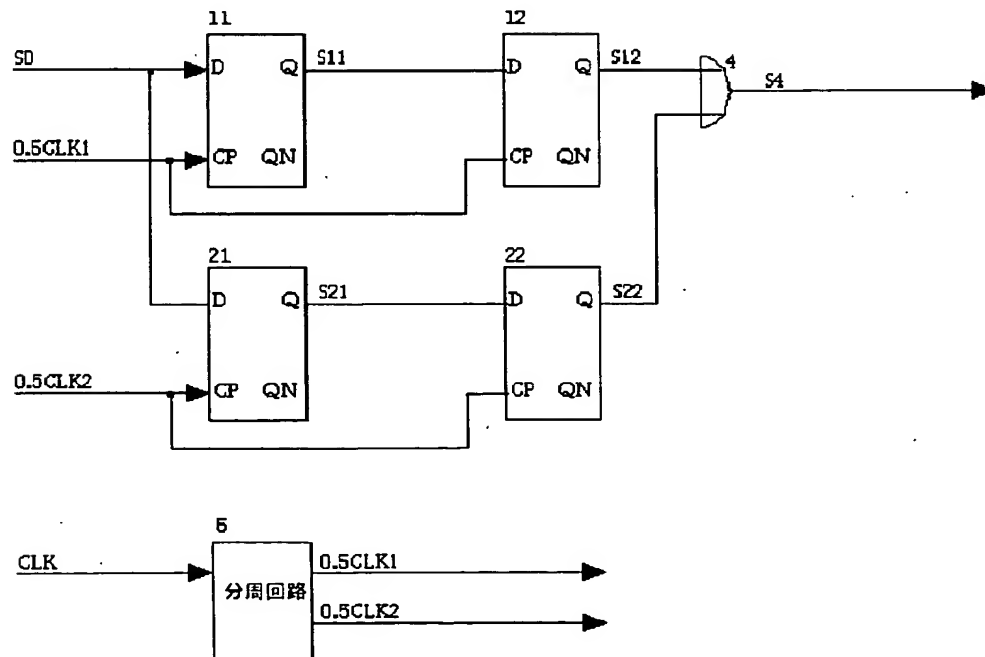
【符号の説明】

4 2入力オアゲート
4 a 3入力オアゲート
4 b 2入力アンドゲート
5 分周回路
5 a 分周回路
11 前段のフリップフロップ
12 後段のフリップフロップ
21 前段のフリップフロップ
22 後段のフリップフロップ
31 前段のフリップフロップ
32 後段のフリップフロップ
11 g 前段のゲート付きフリップフロップ
12 g 後段のゲート付きフリップフロップ
21 g 前段のゲート付きフリップフロップ
22 g 後段のゲート付きフリップフロップ
CLK 基準クロック信号
0.5 CLK1 クロック信号

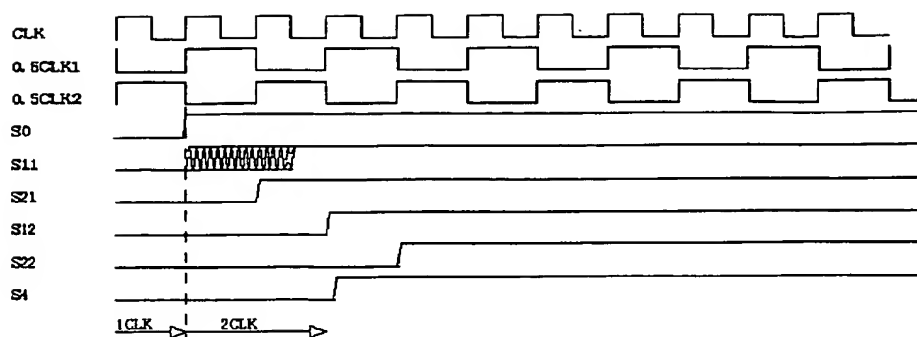
16

0.5 CLK2 クロック信号
0.33 CLK1 クロック信号
0.33 CLK2 クロック信号
0.33 CLK3 クロック信号
S0 非同期信号
S11 前段のフリップフロップ11の出力
S12 後段のフリップフロップ12の出力
S21 前段のフリップフロップ21の出力
S22 後段のフリップフロップ22の出力
S31 前段のフリップフロップ31の出力
S32 後段のフリップフロップ32の出力
S11 g 前段のゲート付きフリップフロップ11gの出力
S12 g 後段のゲート付きフリップフロップ12gの出力
S21 g 前段のゲート付きフリップフロップ21gの出力
S22 g 後段のゲート付きフリップフロップ22gの出力
S4 2入力オアゲート4の出力
S4 a 3入力オアゲート4aの出力
S4 b 2入力アンドゲート4bの出力
5 x 分周回路
11 x 前段のフリップフロップ
12 x 後段のフリップフロップ
S11 x 前段のフリップフロップ11の出力
S12 x 後段のフリップフロップ12の出力

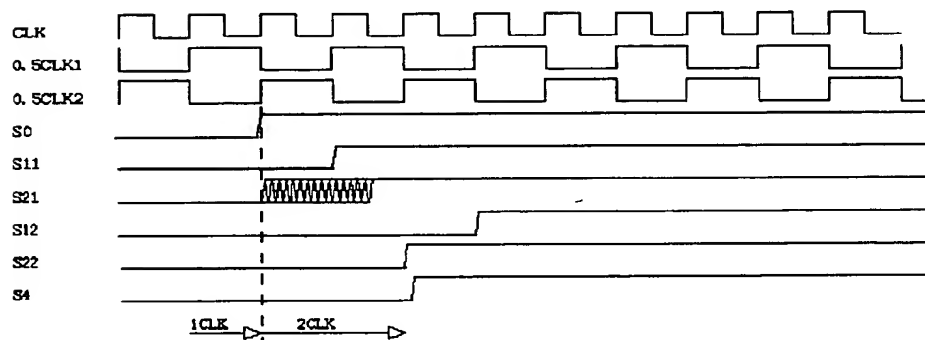
【図1】



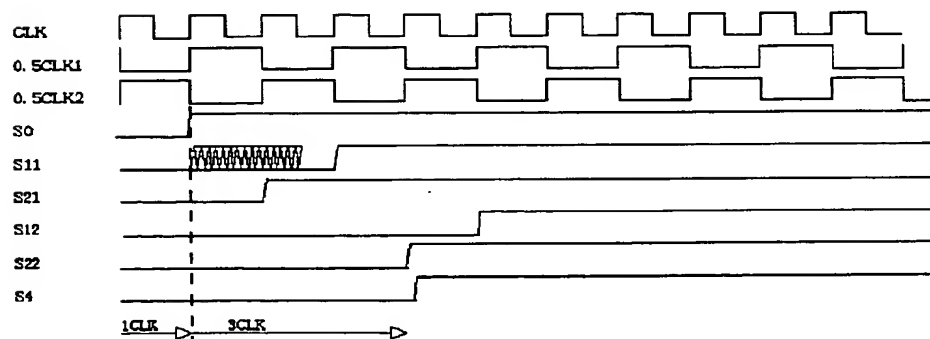
【図 2】



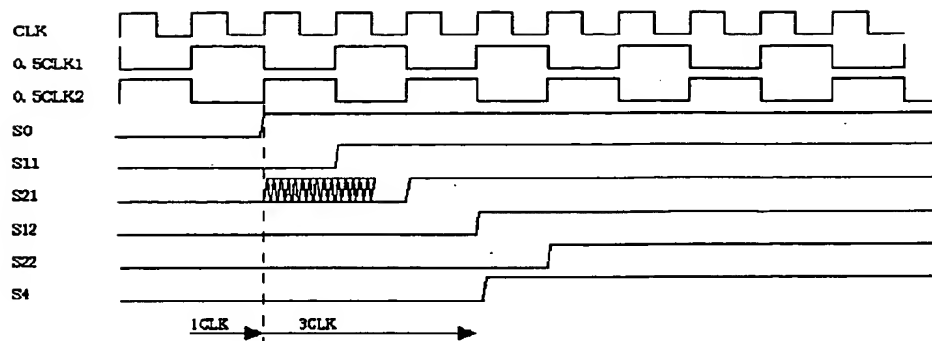
【図 3】



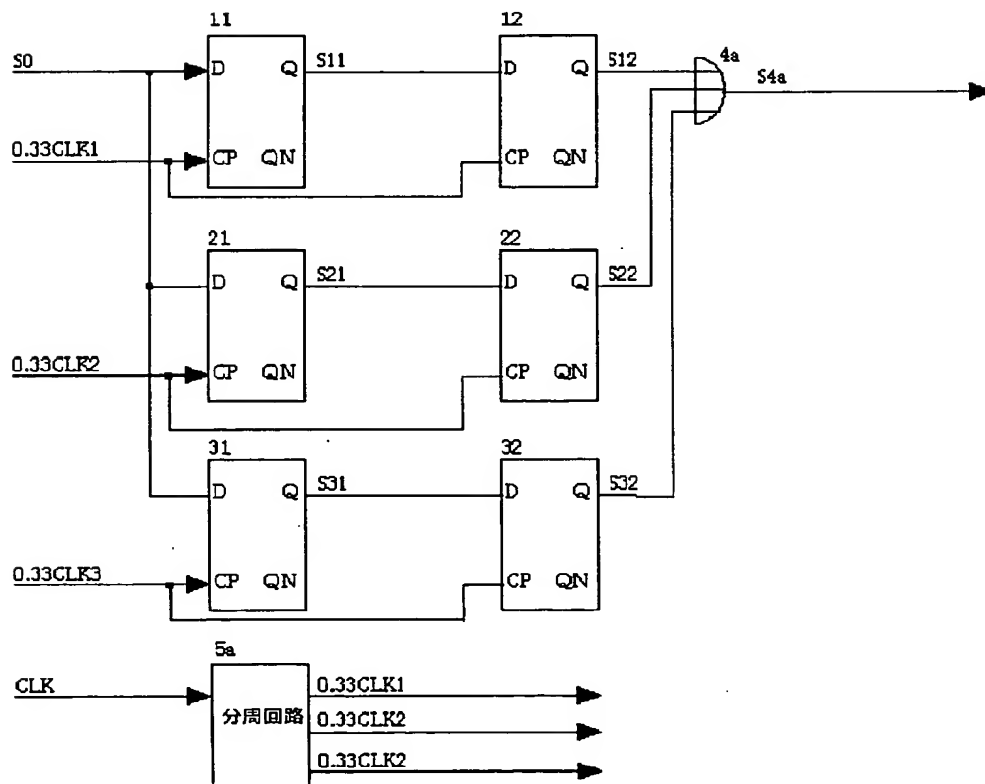
【図 4】



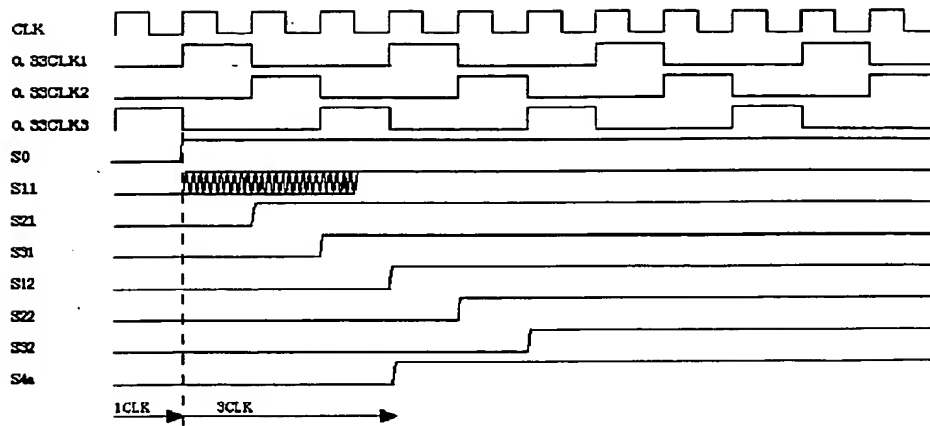
【図 5】



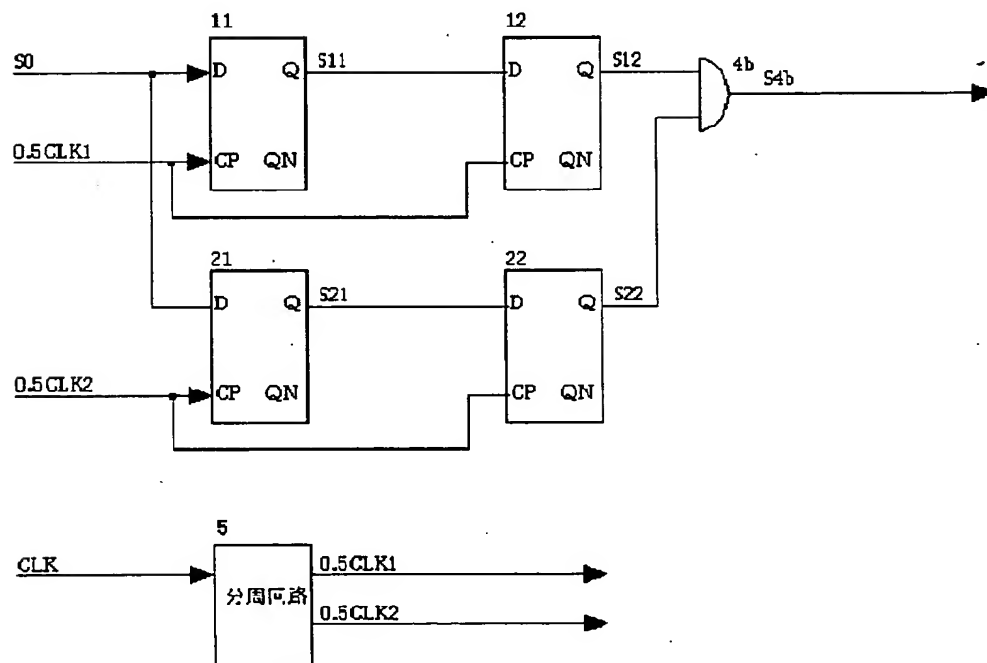
【図 6】



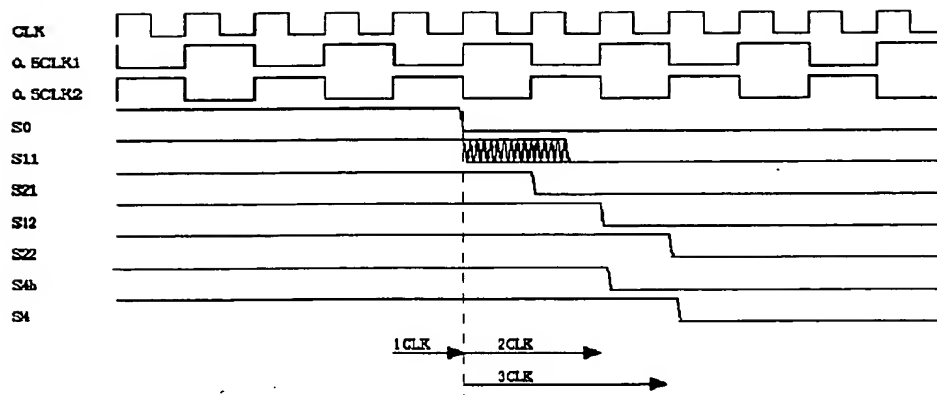
【図 7】



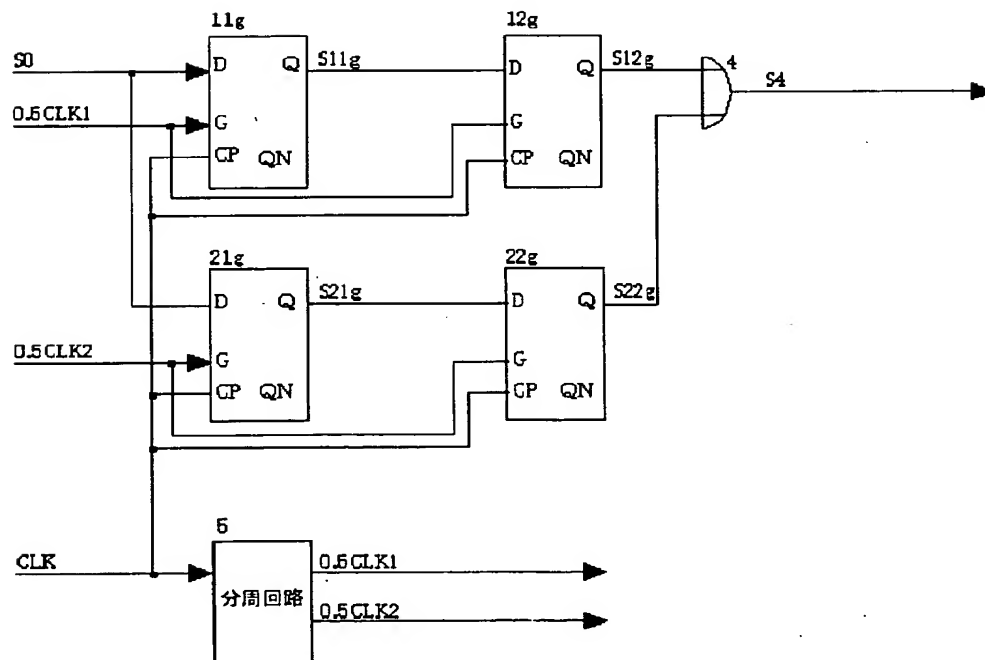
【図 8】



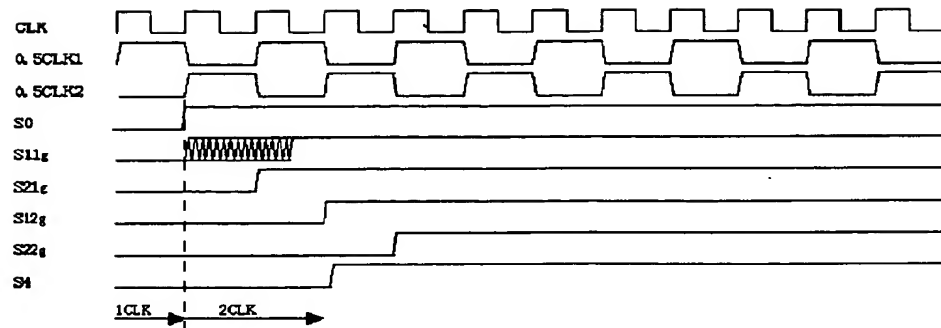
【図 9】



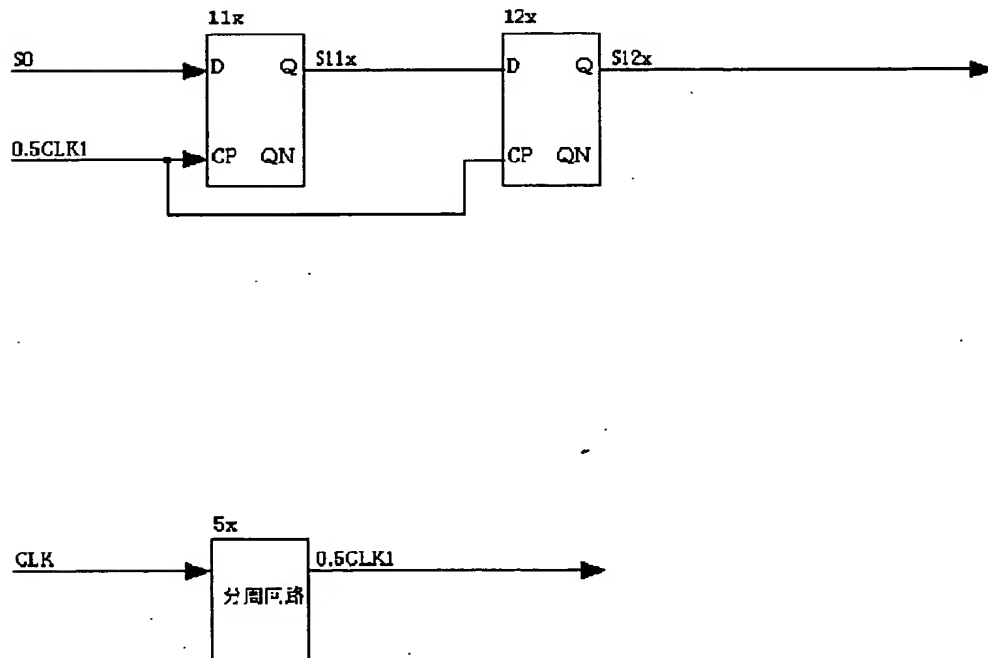
【図 10】



【図 11】



【図 12】



【図 13】

